

УДК 004.0- 519.854.001

## Интервальные оценки пороговых параметров хаотических чипов

А.И. Андрюхин

Донецкий национальный технический университет, г. Донецк,  
alexandruckin@ramber.ru

*Андрюхин А.И. Интервальные оценки пороговых параметров хаотических чипов. Эта работа относится к глобальной проблеме построения компьютеров нового типа, которые способны самоорганизовываться и адаптироваться во внешней среде. В работе рассматриваются теоретические обоснования для создания всех основных логических элементов на основе одной хаотической нелинейной системы. Решаемая в статье задача состоит в построении интервальных оценок пороговых параметров использования и управления хаотической временной структуры, генерирующей нелинейные временные ряды с целью получить гибкие и реконфигурируемые вычислительные устройства. Приведены результаты компьютерных расчетов. В расчетах использовался пакет Mathematica.*

**Ключевые слова:** хаотический чип, интервальная оценка, самоорганизация

### Введение

Современные компьютеры представляют собой детерминированные системы с очень большим, но конечным числом состояний. Живой организм для существования в изменчивой среде должен обладать элементами хаотического поведения. Искусственные системы, способные эффективно взаимодействовать с меняющейся внешней средой, должны быть в какой-то мере хаотичными.

Создание компьютеров нового типа - открытых систем с точки зрения термодинамики, способных самоорганизоваться и адаптироваться во внешней среде - это задача уже сегодняшнего дня (госпрограмма США BRAIN-2013).

Сейчас на основе динамического хаоса создают аппаратно стохастические чипы. Подчеркнем, что существует большая область построения новых типов транзисторов с использованием современных физических направлений.

Основными из этих направлений являются:

1) Транзисторы управляемые одним электроном Single-electron transistors SET.

2) Квантовые клеточные автоматы (QCA-quantum cellular automata) базирующиеся на основе квантовой точки (Quantum dot).

3) Туннелированные диоды (RTD-) Resonant tunneling diode

4) Устройства на быстрой одноквантовой логике (Rapid single-flux quantum (RSFQ) device)

5) Транзистор на основе карбоновых трубок (Carbon nanotube FET)

6) ДНК-вычисления (DNA computing)

Некоторые недостатки и их перспективы развития представлены в [1]

Известным направлением является реализация всех основных логических элементов на основе одной нелинейной хаотической системы [2-5]. Известно, что краеугольным камнем современной компьютерной архитектуры является бинарная цифровая логика, логика истинного и ложного. Булева логика отличается своей концептуальной простотой.

Строго показано, что любая логическая операция может быть реализована путем соответствующих соединений адекватного подключения NOR и/или NAND вентилей, т.е. построение универсальной вычислительной техники связано с реализацией фундаментальных NOR и NAND вентилей.

В работе рассматриваются теоретические обоснования для получения всех основных логических элементов на основе одной нелинейной системы.

Решаемая в статье задача состоит в построении интервальных оценок пороговых параметров использования и управления хаотической временной структуры, генерирующей нелинейные временные ряды с целью получить гибкие и реконфигурируемые вычислительные устройства.

### Задача создания модели хаотического процессора

Рассмотрим хаотическую чип или процессор, основой которого может быть одномерная система, состояние которой представлена переменной  $x$ , и динамика которой задается нелинейным отображением  $F(X)$ .

Постановка задачи предполагает:

· выбор типов аттракторов, пригодных для работы с информацией;

выбор динамических явлений для реализации базовых операций обработки информации с использованием хаоса;

разработку принципов, позволяющих ставить во взаимно-однозначное соответствие информацию и траектории динамической системы;

разработку конкретных математических моделей, позволяющих работать с информацией как с траекториями отображений и

управлять динамическими явлениями для реализации базовых операций хаотического процессора;

создание программных комплексов для симуляции хаотических процессоров на компьютерах;

исследование модели хаотического процессора;

решение с помощью хаотического процессора сложных задач, плохо решаемых при традиционных подходах

**Решение задачи**

Отображение функционирования всех 2-входных вентилях NAND, NOR, XOR, AND, OR и XNOR включает в себя следующие шаги:

Логические входы I1 и I2 для логических операций 2-входных вентилях кодируют начальное состояние системы x0 следующим образом:

1)  $X_0 \rightarrow x_{gate} + X_1 + X_2$ , где физическая величина X1, X2, которой обычно соответствует напряжение, имеет значение 0, когда логические значения входов I1, I2 равно 0, и имеет значение  $L_{in}$  когда логические значения входов I1, I2 равны 1, где  $L_{in}$  – ранее оговоренная положительная константа (нижний порог). Аналогично X1 и X2,  $x_{gate}$  является пороговым напряжением рассматриваемого вентиля, которое мы можем изменять.

2. Динамическая эволюция в n временных шагах (n-я итерация начального состояния), в результате чего в обновленном состоянии  $X \rightarrow F_n(X_0)$ , Конкретно мы возьмем n = 1 здесь, то есть  $X = F_1(X_0)$ .

3. Определение выхода: логическое значение выхода равен 0, если  $F(X_0) < N_{out}$  и значение выхода равен 1, если  $F(X_0) > N_{out}$  где  $N_{out}$  - ранее оговоренная положительная константа (верхний порог).

Так как F нелинейна, чтобы точно задать начальное X0, нужен механизм управления порогом для установки начального X0, т.е. определить  $L_{in}$ ,  $N_{out}$ ,  $x_{gate}$  для каждого вентиля (желательно для упрощения управления  $L_{in}$  определять единым).

Для того, чтобы получить все желаемые значения откликов различных вентилях, мы должны с помощью порогового механизма

управления удовлетворять условиям, перечисленным в таблице 1 одновременно.

Таблица 1. Логические значения выходов двухвходных вентилях

I <sub>1</sub>	I <sub>2</sub>	And	Nand	Or	Nor	Xor	NXor
0	0	0	1	0	1	0	1
0	1	0	1	1	0	1	0
1	0	0	1	1	0	1	0
1	1	1	0	1	0	0	1

Основные результаты представлены в табл.2 во 2 и 3 строчках, показывающие точные решения для  $N_{out}$ ,  $x_{gate}$  при  $L_{in}=1/4$ , которые удовлетворяют условиям в таблице 1 и динамическая эволюция определяется логистическим уравнением  $F(x) = gx(1-x)$ .

На рис.1 представлены графики отображения  $F_n(X)$ , где  $F_n(X)=F(F_{n-1}(X))$  и здесь параметр нелинейности  $g = 4$  и порог  $L_{in} = 1/4$ , общий для всех логических вентилях.

Возможно использование иных отображений, к примеру  $F(X) = 6.5x^2(1-x)$ ,  $x_{n+1}=2x_n/(1+x_n^{10})$ [5].

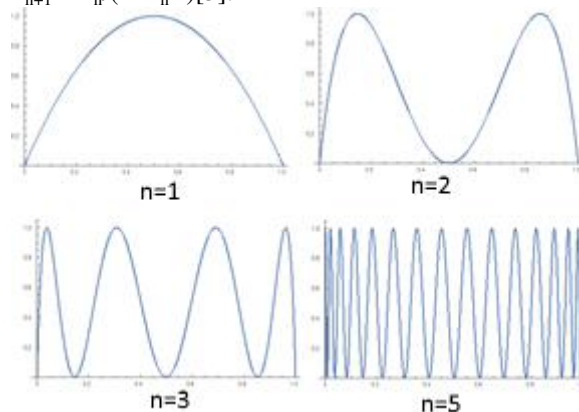


Рисунок 2. – Графики отображения  $F_n(X)$ .

**Свойства отображения  $F(X) = gx(1-x)$ .**

При интерпретации отображения  $F(X) = gx(1-x)$  для эволюции популяции (Ферхольст) имеем, что при изменении значения параметра

1).  $0 < g < 1$ , популяция вымрет, независимо от начальных условий.

2).  $1 < g < 2$ , численность популяции быстро выйдет на стационарное значение  $(g-1)/g$ , независимо от начальных условий.

3).  $2 < g < 3$ , численность популяции придёт к стационарному значению  $(g-1)/g$ , но вначале будет колебаться вокруг него. Скорость сходимости линейна везде, кроме значения  $g=3$ , при котором она крайне мала.

4).  $3 < g < 1 + \sqrt{6} \approx 3.45$ , численность популяции будет бесконечно колебаться между 2 значениями.

5).  $3.45 < g < \approx 3.54$ , численность популяции будет бесконечно колебаться между 4 значениями.

б).  $r > 3.54$ , численность популяции будет колебаться между 8 значениями, потом 16, 32 и т.д.

Длина интервала изменения параметра, при котором наблюдаются колебания между одинаковым количеством значений, уменьшается по мере увеличения  $r$ .

Отношение между двумя длинами смежных интервалов стремится к числу Фейгенбаума  $\delta \approx 4.669...$

Эта ситуация является типичным примером каскада бифуркаций удвоения периода, который представлен на рис..

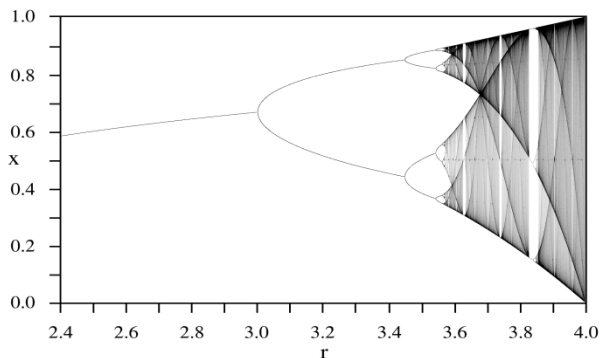


Рисунок 2. – Бифуркационная диаграмма.

При  $r \approx 3.57$ , начинается хаотическое поведение, а каскад удвоений заканчивается.

Колебания больше не наблюдаются.

Небольшие изменения в начальных условиях приводят к большим отличиям дальнейшего поведения системы во времени.

Это является главным признаком хаотического поведения.

При  $r > 3.57$  обычно имеем хаотическое поведение, однако существуют небольшие изолированные интервалы значений  $r$ , при которых система ведет себя регулярно,

Их называют «окнами периодичности».

К примеру, начиная со значения  $1 + \sqrt{8} \approx 3.83$ , существует интервал параметров  $r$ , при котором наблюдаются колебания между 3 значениями.

Для больших значений  $r$  - между 6 значениями, потом 12 и т. д.

В системе можно найти периодические колебания с любым количеством значений.

Последовательность смены количества значений удовлетворяет порядку Шарковского.

При  $r > 4$ , значения отображения покидают интервал  $[0,1]$  и расходятся при любых начальных условиях.

**Основные понятия при построении хаотических компьютеров**

В табл.2 во 2 и 3 строчках представлены нижний и верхний пороги для соответствующих элементов(операций). Итеративное применение хаотического логического отображения позволяет использовать эти логические элементы с иной логической функцией, т.е. выполнять их реконфигурацию без дополнительного аппаратного оборудования. Подчеркнем, что начальный нижний порог равен 0.316.

Таблица 2. Значения пороговых параметров двухвходовых вентилей

Операция	Nand	And	Nor	Xor	Or
$L_{op}(x_{gate})$	3/8	0	*	1/4	1/8
$H_{op}(H_{out})$	11/16	3/4	*	3/4	11/16
Итерация	1	2	3	4	5
Состояние чипа	$X_1$	$X_2$	$X_3$	$X_4$	$X_5$
Входы (0,0) $X_0=0.316$	0.864	0.468	0.996	0.016	0.063
Логич. значение	1	0	1	0	0
Входы (1,0)/(0,1) $X_0=0.566$	0.982	0.068	0.255	0.760	0.729
Логич. значение	1	0	0	1	1
Входы (1,1) $X_0=0.816$	0.601	0.959	0.155	0.525	0.997
Логич. значение	0	1	0	0	1

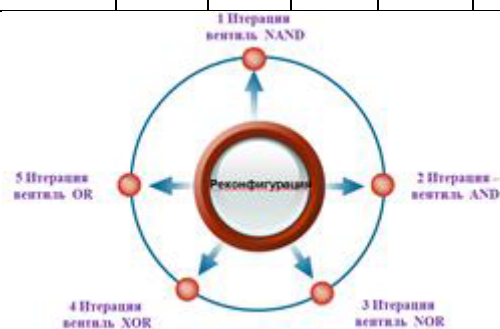


Рисунок 3а. –Итеративная реконфигурация хаотического элемента

Иной подход представлен на рис.3б, где реконфигурация выполняется с помощью динамического логического порога  $C$  так, что при одном значении  $C$  элемент выполняет функцию

Nand, а при другом значению функцию Nor и т.п.[5].

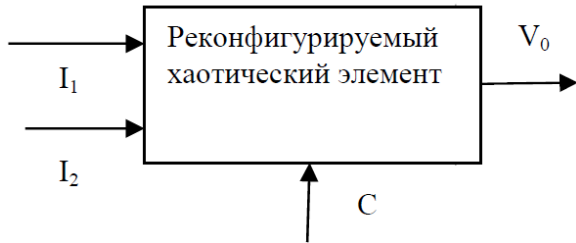


Рисунок 3б. –Реконфигурация хаотического элемента сигналом С.

В работе построены интервальные оценки пороговых параметров  $L_{op}$ ,  $H_{op}$  и  $L_{in}$  для всех двухвходовых вентилей и на рис.5-22 представлены результаты для вентилей NAND и AND, [6,7].

**Элемент NAND**

Функционирование элемента должно удовлетворять следующим условиям

- 1)  $F(L_{nand}) > H_{op}$ ,
  - 2)  $F(L_{nand} + L_{in}) > H_{op}$ ,
  - 3)  $F(L_{nand} + 2L_{in}) < H_{op}$ .
  - 4)  $H_{op} > L_{nand} + 2L_{in}$
- Здесь  $L_{nand} = L_{op} = x_{gate}$  и  $H_{nand} = H_{op}$ .

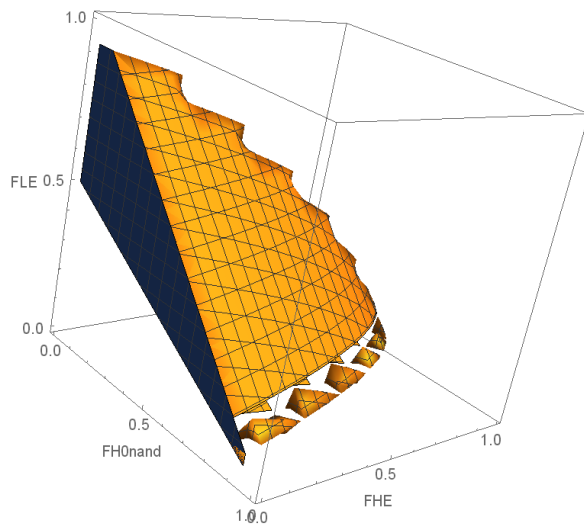


Рисунок 4. – 3-D область возможных решений для элемента NAND на 1 итерации.

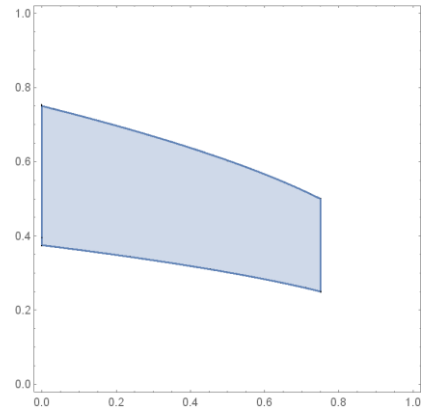


Рисунок 5. – 2-D область возможных решений для элемента NAND при  $L_{in}=0.25$ .

**Элемент AND**

Функционирование элемента должно удовлетворять следующим условиям

- 1)  $F(L_{and}) < H_{op}$ ,
- 2)  $F(L_{and} + L_{in}) < H_{op}$ ,
- 3)  $F(L_{and} + 2L_{in}) > H_{op}$ .
- 4)  $H_{op} > L_{and} + 2L_{in}$

Аналогично предыдущему случаю,  $L_{and} = L_{op} = x_{gate}$  и  $H_{and} = H_{op}$ .

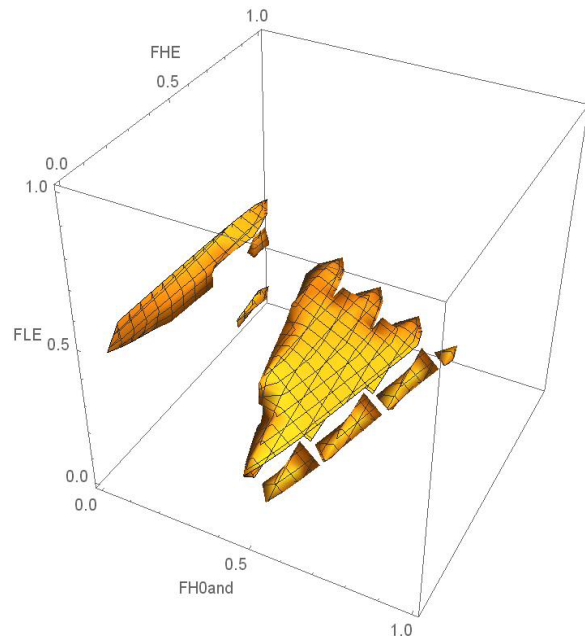


Рисунок 6. – 3-D область возможных решений для элемента AND на 2 итерации.

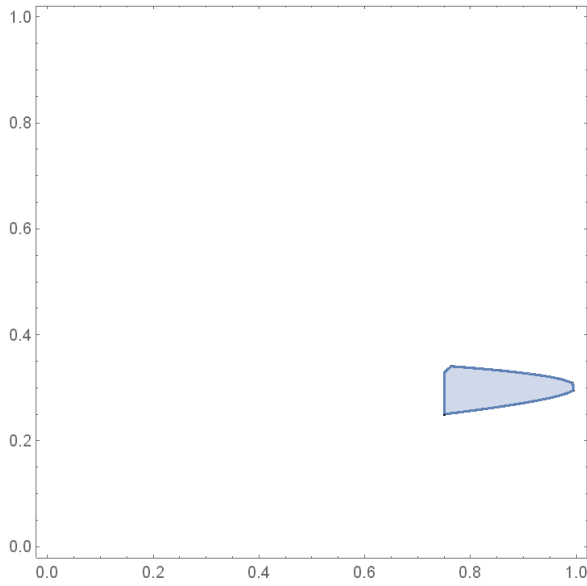


Рисунок 7. – 2-D область возможных решений для элемента AND при  $L_{in}=0.25$  на 2 итерации.

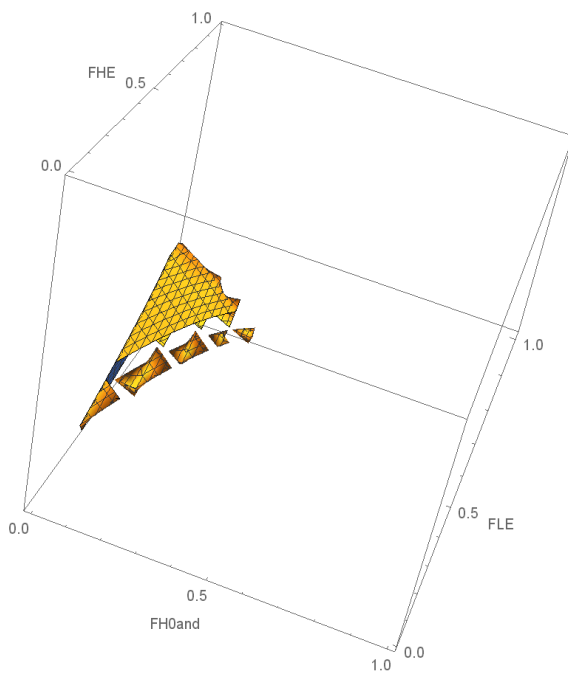


Рисунок 8. – 3-D область возможных решений для элемента AND на 1 итерации.

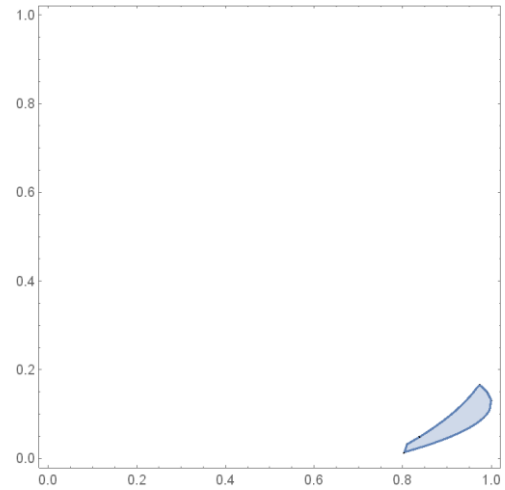


Рисунок 9. – 2-D область возможных решений для элемента AND при  $L_{in}=0.25$  на 1 итерации.

**Элемент NOR**

Функционирование элемента должно удовлетворять следующим условиям

- 1)  $F(Land) > Hop$ ,
- 2)  $F(Land + Lin) < Hop$ ,
- 3)  $F(Land + 2Lin) < Hop$ .
- 4)  $Hop > Land + 2Lin$

Аналогично предыдущему случаю,  $Land=Lop=xgate$  и  $Hand= Hop$ .

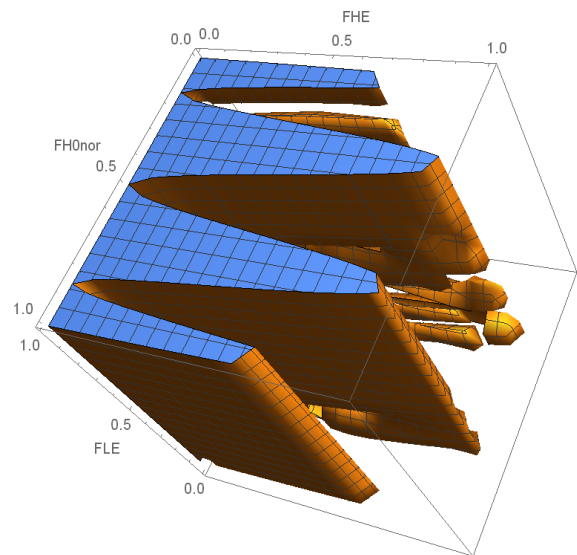


Рисунок 10. – 3-D область возможных решений для элемента NOR на 3 итерации.

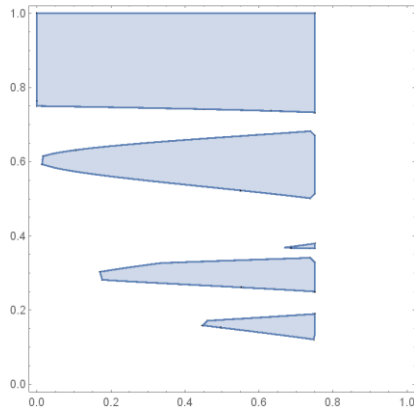


Рисунок 11. – 2-D область возможных решений для элемента NOR при  $L_{in}=0.25$  на 3 итерации.

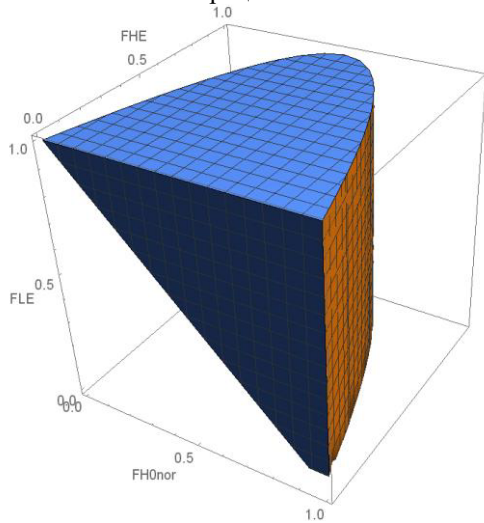


Рисунок 12. – 3-D область возможных решений для элемента NOR на 1 итерации.

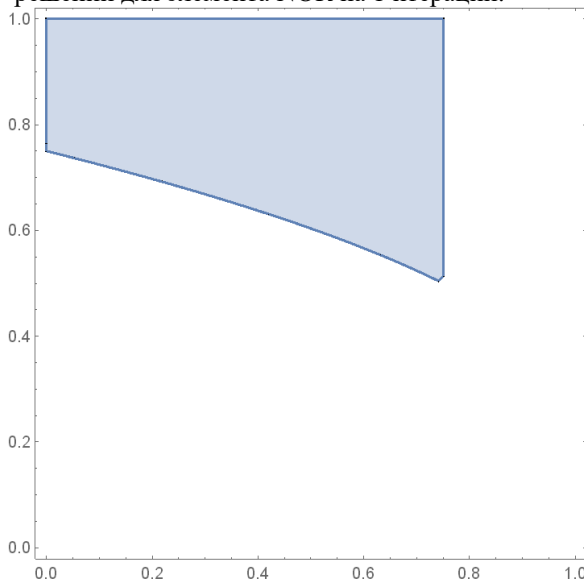


Рисунок 13. – 2-D область возможных решений для элемента NOR при  $L_{in}=0.25$  на 1 итерации.

Функционирование элемента должно удовлетворять следующим условиям

- 1)  $F(Land) < Hop$ ,
- 2)  $F(Land + Lin) > Hop$ ,
- 3)  $F(Land + 2Lin) < Hop$ .
- 4)  $Hop > Land + 2Lin$

Аналогично предыдущему случаю,  $Land=Lop=xgate$  и  $Hand=Hop$ .

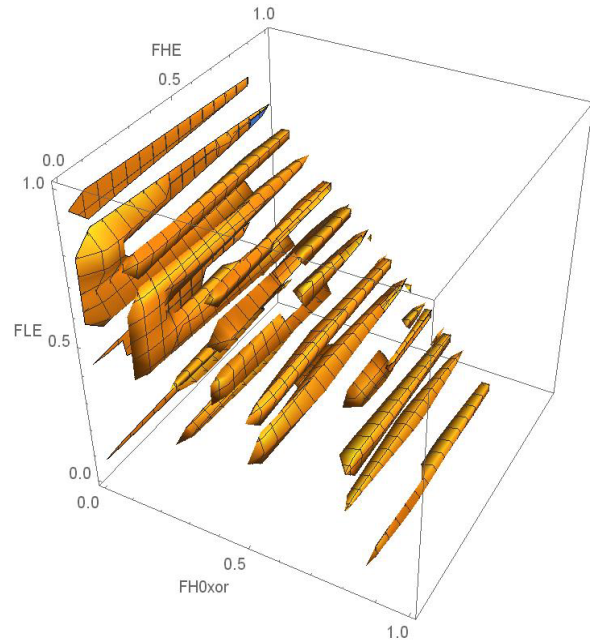


Рисунок 14. – 3-D область возможных решений для элемента XOR на 4 итерации.

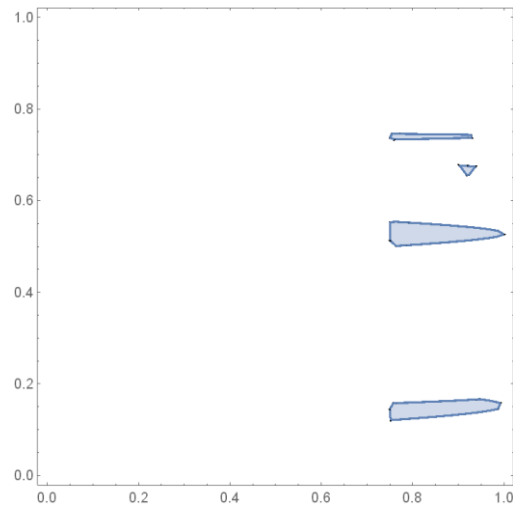


Рисунок 15. – 2-D область возможных решений для элемента XOR при  $L_{in}=0.25$  на 4 итерации.

**Элемент XOR**



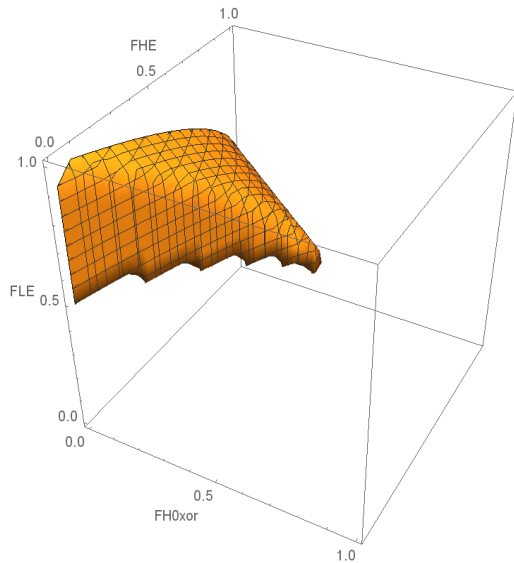


Рисунок 16. – 3-D область возможных решений для элемента XOR на 1 итерации.

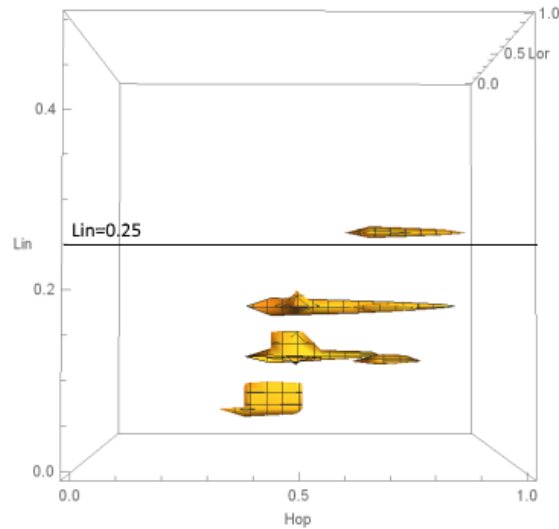


Рисунок 19. – 3-D область возможных решений для элемента OR на 5 итерации.

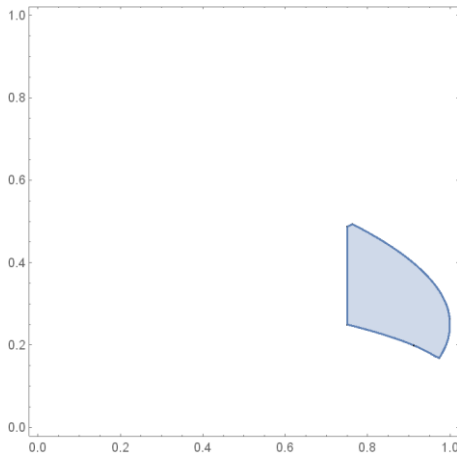


Рисунок 17. – 2-D область возможных решений для элемента XOR при  $L_{in}=0.25$  на 1 итерации

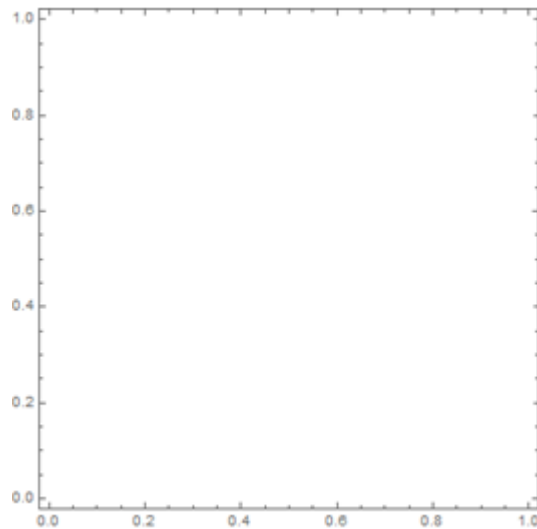


Рисунок 20. –Пустая 2-D область возможных решений для элемента OR при  $L_{in}=0.25$  на 5 итерации

**Интервальные оценки порогов элемент OR и их применение**

Функционирование элемента должно удовлетворять следующим условиям

- 1)  $F(Land) > Hop$ ,
- 2)  $F(Land + Lin) < Hop$ ,
- 3)  $F(Land + 2Lin) > Hop$ .
- 4)  $Hop > Land + 2Lin$

Аналогично предыдущему случаю,  $Land=Lop=xgate$  и  $Hand= Hop$ .

Согласно рис.19 мы можем с некоторой долей уверенности подозревать, что нет решений при  $L_{in}=0.25$ , что подтверждает рис. 20.

Существуют решения для пороговой системы при  $L_{in}=0.2$ , что представлено на рис.21.

Этот пример показывает, что простая визуализация соотношения пороговых величин в трехмерном пространстве позволяет определять возможные решения, которые естественно мы более направлены исследовать.

Необходимо отметить, что кажущийся самым простым из базовых вентилей элемент OR с точки зрения определения оценок порогов является самым капризным и даже на 1 итерации область возможных решений невелика (см.рис.22)..

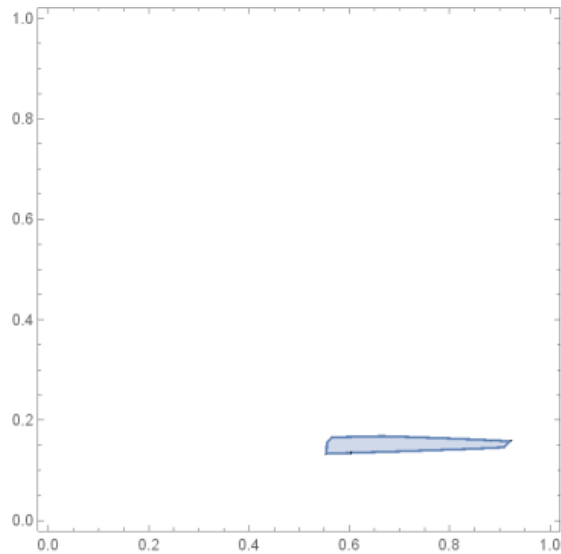


Рисунок 21. –Непустая 2-D область возможных решений для элемента OR при  $L_{in}=0.2$  на 5 итерации.

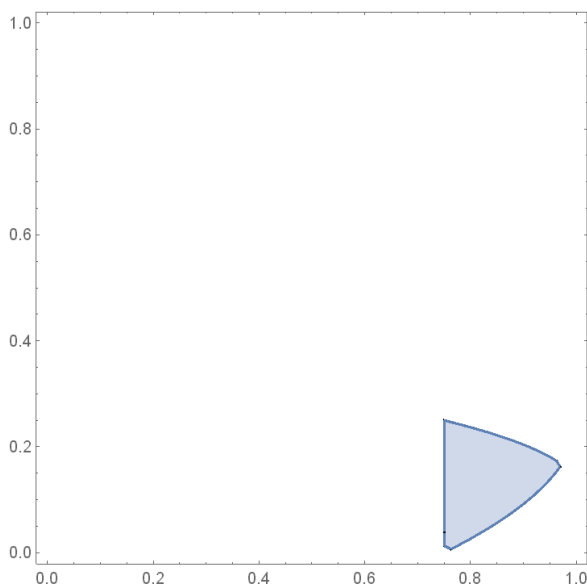


Рисунок 22. – 2-D область возможных решений для элемента OR при  $L_{in}=0.25$  на 1 итерации.

### Аппаратная реализация порогового механизма

Общая схема аппаратной реализации порогового механизма представлена на рис.22, где  $V$  соответствует пороговому значению.

### Литература

- 1.Wong H.-S. P. Beyond the conventional transistor/ IBM Journal RES. & DEV. Vol. 46 no. 2/3 March/May 2002 .pp.133-168.
2. William L. Ditto,1 A. Miliotis,2 K. Murali,3 Sudeshna Sinha,4, Mark L. Spano. Chaogates:

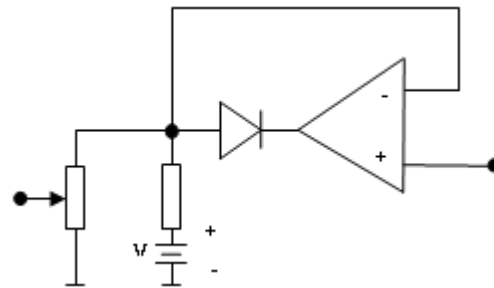


Рисунок 22- Аппаратная реализация порогового механизма

### Выводы

Недавно фирмой ChaoLogix Inc. разработан и изготовлен чип, который демонстрирует возможность построения реконфигурируемых хаотических логических вентилей(стандартная CMOS-технология, 0,18  $\mu$ , процесс TSMC, частота 30 МГц, размер матрицы 3,1  $\times$  3.1 mm, напряжение 1,8 в).

Основной блок ChaoGate схематически показано на рис. 5.

ChaoGates включены в массив ChaoGate в чипе СБИС, чтобы продемонстрировать их использование и более высокую функциональность за время, менее чем за один такт в:

А)в небольшом АЛУ, (множитель и сумматор).

Б) в протоколах связи (CP), в частности в последовательном периферийном интерфейсе (SPI, синхронный последовательный канал передачи данных) и реализациям шина Inter Integrated Circuit Control (I2C).

В настоящее время усилия сосредоточены на оптимизации конструкции одного ChaoGate до уровней, где они сопоставимы с одним вентилем с точки зрения мощности и размеров и способны менять свое поведение в границах одного тактового цикла.

Предварительные разработки показывают, что эта цель достижима, т.е все вентили в используемые для разработки компьютеров могут быть заменены ChaoGates для обеспечения дополнительной гибкости и производительности.

Morphing logic gates that exploit dynamical patterns // CHAOS 20, 037107 (2010).

3.William L. Ditto, K. Murali and Sudeshna Sinha. Construction of a Chaotic Computer Chip.

4.Ю.В.Андреев,А.С. Дмитриев, Д.А.Куминов Хаотические процессоры//Успехи современной



Радиоэлектроники, №10,1997

5.С.П. Шарый. Конечномерный интервальный анализ, 2013. – 613 с. – <http://www.nsc.ru/interval>

6. Андрюхин А.И. Оценка вариаций параметров нейроморфных сетей // Научові праці Донецького національного технічного університету,

серія: «Проблеми моделювання та автоматизації проектування» № 1 (10)-2(11), 2012,с.122-131.

7. Miliotis, K. Murali, S. Sinha, W. L. Ditto, and M. L. Spano, Chaos, Solitons Fractals 42, 809 2009

*Андрюхин А.И. Интервальные оценки параметров хаотичных чипов. Эта работа относится до глобальной проблемы построения компьютеров нового типа, которые способны самоорганизоваться и адаптироваться в окружающей среде. В работе рассматриваются теоретические обоснования для создания всех основных логических элементов на основе одной хаотичной нелинейной системы. Решена в статье задача полягає в построении интервальных оценок пороговых параметров использования и управления хаотичной временной структуры, которая генерирует нелинейные временные ряды с целью получить гибкие и реконфигурируемые вычислительные устройства. Приведены результаты компьютерных расчетов. В расчетах использовался пакет Mathematica.*

**Ключові слова:** хаотичний чіп, інтервальна оцінка, самоорганізація

*Andruchin A.I. Interval estimates of parameters of chaotic chips. This work refers to the global problem of building a new type of computers that are able to self-organize and adapt in the environment. The paper discusses the theoretical foundations for the creation of all basic logic elements on the basis of a chaotic nonlinear system. Solved in the article the problem is to construct a threshold interval estimates of parameters of use and management of chaotic time structure generating non-linear time series in order to obtain a flexible and reconfigurable computing devices. The results of computer simulations are presented. The calculations used Mathematica package.*

**Keywords:** chaotic chip interval estimate, self-organization

Статья поступила в редакцию 20.11.2016

Рекомендована к публикации д-ром физ.-мат. наук С.Н. Судаковым